

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hans Jurgen MATTAUSCH, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: MULTI-PORT CACHE MEMORY

1c971 U.S. PTO
09/919859
08/02/01
#3

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-244524	August 11, 2001

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland

Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 8月11日

出 願 番 号

Application Number:

特願2000-244524

出 願 人

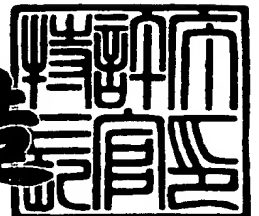
Applicant(s):

広島大学長

2000年12月 1日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3098505

【書類名】 特許願

【整理番号】 A000004553

【提出日】 平成12年 8月11日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明の名称】 マルチポートキャッシュメモリ

【請求項の数】 13

【発明者】

 【住所又は居所】 広島県東広島市西条町大沢 8 4 9 - 2

 【氏名】 マタウシュ・ハンスユルゲン

【発明者】

 【住所又は居所】 広島県東広島市西条下見 6 - 1 2 - 9 3 - D

 【氏名】 岸 浩二

【発明者】

 【住所又は居所】 広島県東広島市西条町寺家 1 9 6 4 - 1 A - 1 1 1

 【氏名】 大森 伸彦

【特許出願人】

 【識別番号】 391012648

 【氏名又は名称】 広島大学長

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

 【弁理士】

 【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9110050

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マルチポートキャッシュメモリ

【特許請求の範囲】

【請求項1】 M個の1ポートセルフブロックからなる第1乃至第KのNポートタグメモリと（K及びMは1以上の整数、Nは1より大なる整数）、

前記第1乃至第KのNポートタグメモリに入力するキャッシュラインインデックスをそれぞれデコードする第1乃至第Kのタグ側Nポートデコーダと、

M個の1ポートセルフブロックからなる第1乃至第KのNポートデータメモリと

前記第1乃至第KのNポートデータメモリに入力するキャッシュラインインデックス及びキャッシュラインオフセットビットをそれぞれデコードする第1乃至第Kのデータ側Nポートデコーダと、

前記第1乃至第KのNポートタグメモリ及び前記第1乃至第KのNポートデータメモリにおける書き込み及び読み出し衝突を処理する衝突処理回路と、を具備することを特徴とするマルチポートキャッシュメモリ。

【請求項2】 前記キャッシュラインインデックスは、前記M個の1ポートセルフブロックのいずれか1つの内部を参照する第1のキャッシュラインインデックスと、前記M個の1ポートセルフブロックのいずれか1つを選択する第2のキャッシュラインインデックスからなることを特徴とする請求項1記載のマルチポートキャッシュメモリ。

【請求項3】 前記マルチポートキャッシュメモリは、前記第1乃至第KのNポートタグメモリに入力されるタグと前記第1乃至第KのNポートタグメモリから出力されるタグとをそれぞれ比較する第1乃至第Kの比較回路を具備し、前記第1乃至第Kの比較回路の出力をK入力のAND回路に入力することにより、キャッシュヒット信号を送出することを特徴とする請求項1、2のいずれか1つに記載のマルチポートキャッシュメモリ。

【請求項4】 前記第1乃至第Kの比較回路の出力は、前記第1乃至第Kのデータメモリの書き込み及び読み出しデータの入出力を可能にする第1乃至第Kのイネーブル回路をそれぞれ制御することを特徴とする請求項3記載のマルチポ

ートキャッシュメモリ。

【請求項 5】 M 個の 1 ポートセルフブロックと (M は 1 以上の整数)、

前記 M 個の 1 ポートセルフブロックに N ポートのマルチポート機能を付与するグローバルスイッチング回路網と (N は 1 より大なる整数)、

前記グローバルスイッチング回路網に接続された衝突処理回路とを具備し、

前記グローバルスイッチング回路網はバスシステム又は前記バスシステム内部における接続を制御するスイッチング回路からなり、

少なくとも前記グローバルスイッチング回路網には前記 M 個の 1 ポートセルフブロックのいずれか 1 つの内部を参照する第 1 のキャッシュラインインデックスと

前記 M 個の 1 ポートセルフブロックのいずれか 1 つを選択する第 2 のキャッシュラインインデックスと、

マイクロコンピュータコアから送出される読み出し及び書き込み命令と、

前記衝突処理回路の出力とが入力されることを特徴とする N ポートタグメモリ

。

【請求項 6】 M 個の 1 ポートセルフブロックと (M は 1 以上の整数)、

前記 M 個の 1 ポートセルフブロックに N ポートのマルチポート機能を付与するグローバルスイッチング回路網と (N は 1 より大なる整数)、

前記グローバルスイッチング回路網に接続された衝突処理回路とを具備し、

前記グローバルスイッチング回路網はバスシステム又は前記バスシステム内部における接続を制御するスイッチング回路からなり、

少なくとも前記グローバルスイッチング回路網には前記 M 個の 1 ポートセルフブロックのいずれか 1 つの内部を参照する第 1 のキャッシュラインインデックスと

前記 M 個の 1 ポートセルフブロックのいずれか 1 つを選択する第 2 のキャッシュラインインデックスと、

キャッシュラインを 1 データワード以上とするキャッシュラインオフセットビットと、

マイクロコンピュータコアから送出される読み出し及び書き込み命令と、

前記衝突処理回路の出力とが入力され、

前記マイクロコンピュータコアには前記グローバルスイッチング回路網から前記読み出し命令のデータが入力されることを特徴とするNポートデータメモリ。

【請求項7】 M個の1ポートセルブロックと（Mは1以上の整数）、

1ポートセルブロックをNポートブロックに機能変換するポート変換回路と（Nは1より大なる整数）、

前記ポート変換回路を前記M個の1ポートセルブロックにそれぞれ設けることにより機能変換されたM個のNポートブロックと、

前記M個のNポートブロックが接続されたM個のNポートのアドレスデコード機能を備える回路網と、

前記M個のNポートのアドレスデコード機能を備える回路網に接続された衝突処理回路とを具備し、

少なくとも前記ポート変換回路には前記M個の1ポートセルブロックのいずれか1つの内部を参照する第1のキャッシュラインインデックスと、

マイクロコンピュータからの読み出し及び書き込み命令とが入力され、

少なくとも前記M個のNポートのアドレスデコード機能を備える回路網には前記M個の1ポートセルブロックのいずれか1つを選択する第2のキャッシュラインインデックスと、

前記衝突処理回路の出力と、

マイクロコンピュータからの読み出し及び書き込み命令とが入力されることを特徴とするNポートタグメモリ。

【請求項8】 M個の1ポートセルブロックと（Mは1以上の整数）、

1ポートセルブロックをNポートブロックに機能変換するポート変換回路と（Nは1より大なる整数）、

前記ポート変換回路を前記M個の1ポートセルブロックにそれぞれ設けることにより機能変換されたM個のNポートブロックと、

前記M個のNポートブロックが接続されたM個のNポートのアドレスデコード機能を備える回路網と、

前記M個のNポートのアドレスデコード機能を備える回路網に接続された衝突

処理回路とを具備し、

少なくとも前記変換回路には前記M個の1ポートセルブロックのいずれか1つの内部を参照する第1のキャッシュラインインデックスと、

キャッシュラインを1データワード以上とするキャッシュラインオフセットビットと、

マイクロコンピュータからの読み出し及び書き込み命令とが入力され、

少なくとも前記M個のNポートのアドレスデコード機能を備える回路網には前記M個の1ポートセルブロックのいずれか1つを選択する第2のキャッシュラインインデックスと、

マイクロコンピュータコアからの読み出し及び書き込み命令と、

前記マイクロコンピュータコアからの書き込み命令データと、

前記衝突処理回路の出力とが入力され、

前記マイクロコンピュータコアには前記M個のNポートのアドレスデコード機能を備える回路網からの前記読み出し命令のデータが入力されることを特徴とするNポートデータメモリ。

【請求項9】 前記Nポートタグメモリ及び前記Nポートデータメモリにおいて、前記1ポートセルブロックの個数Mは、前記Nポートタグメモリ及び前記Nポートデータメモリのポート数Nより小なる場合が含まれることを特徴とする請求項1乃至8のいずれか1つに記載のマルチポートタグメモリ及びマルチポートデータメモリからなるマルチポートキャッシュメモリ。

【請求項10】 請求項1乃至8のいずれか1つに記載のNポートタグメモリ及びNポートデータメモリは、互いに結合されて単一のマルチポートキャッシュメモリをなし、タグに割り当てられるアドレスのビット数を m_{tag} 、キャッシュラインオフセットビットに割り当てられるアドレスのビット数を m_{word} 、命令データのワード長を W として、前記単一のマルチポートキャッシュメモリのワード長が $m_{tag} + W * 2^{m_{word}}$ にされることを特徴とするマルチポートキャッシュメモリ。

【請求項11】 請求項1乃至6のいずれか1つに記載のNポートタグメモリ及びNポートデータメモリに含まれるセルブロックは、ポート数 L ($1 \leq L < N$ 、 L は整数)の L ポートセルブロックからなることを特徴とするマルチポート

キャッシュメモリ。

【請求項 1 2】 請求項 7 及び 8 のいずれか 1 つに記載の N ポートタグメモリ及び N ポートデータメモリに含まれるセルブロックは、ポート数 L ($1 \leq L < N$ 、 L は整数) の L ポートセルブロックからなり、かつ、 L ポートセルブロックを N ポートブロックに機能変換するポート変換回路を具備することを特徴とするマルチポートキャッシュメモリ。

【請求項 1 3】 請求項 1 乃至 6 のいずれか 1 つに記載のタグメモリは、ポート数 L_{tag} (L_{tag} は 1 以上の整数) の L_{tag} ポートセルブロックからなる L_{tag} ポートタグメモリであり、かつ、請求項 1 乃至 6 のいずれか 1 つに記載のデータメモリは、ポート数 L_{data} (L_{data} は L_{tag} と異なる 1 以上の整数) の L_{data} ポートセルブロックからなる L_{data} ポートデータメモリであることを特徴とするマルチポートキャッシュメモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はマルチポートキャッシュメモリに係り、特に高性能マイクロプロセッサのチップ面積の削減に適した 1 ポート SRAM (Static Random Access Memory) セルブロックからなるマルチポートキャッシュメモリに関するものである。

【0002】

【従来の技術】

従来の高性能マイクロプロセッサに用いられるマルチポートキャッシュメモリには、マルチポート SRAM セルブロックから構成されるものがある。その 1 例として、図 8 にダイレクトマップ方式のマルチポートキャッシュメモリの構成を示す。

【0003】

図 8 に示すマルチポートキャッシュメモリは、タグ側の N ポートデコーダ 10 及びタグメモリ 20 及びキャッシュヒット判定回路 30 と、データ側の N ポートデコーダ 40 及びデータメモリ 50 と、衝突処理回路 60 から構成される。タグメモリ 20 及びデータメモリ 50 は、それぞれマルチポートセルブロックからな

り、タグメモリには 2^{mind} のタグをストアすることができる。また、データメモリ 50 には 2^{mind} のキャッシュラインが含まれる。

【0004】

命令実行の際に、キャッシュメモリの参照はタグとキャッシュラインインデックスについて行われる。n 番目のタグとキャッシュラインインデックスとデータワード（キャッシュラインオフセットビット）を、それぞれ、 A_{tag_n} 、 A_{ind_n} 、 A_{word_n} 、タグとキャッシュラインインデックスとキャッシュラインオフセットビットに割り当てられるアドレスのビット数を、それぞれ、 $mtag$ 、 $mind$ 、 $mword$ 、タグメモリとデータメモリのポート数を N とする。

【0005】

データバスを介して $N \cdot mtag$ ビットのタグ A_{tag_n} がタグメモリ 20 に転送され $N \cdot mind$ ビットのキャッシュラインインデックス A_{ind_n} が N ポートデコーダ 10 を介してタグメモリ 20 に転送され、タグメモリ 20 にストアされた 2^{mind} のタグと参照される。キャッシュヒット判定回路 30 で参照し、一致するものがあればキャッシュヒット信号がデータバスに送出され、一致するものがなければキャッシュミスとなる。なお、 R/W_n はマイクロコンピュータコア (図示せず) から転送される読み出し及び書き込み命令を示している。

【0006】

また、データバスを介して $N \cdot mind$ ビットのキャッシュラインインデックス A_{ind_n} と、 $mword$ ビットのキャッシュラインオフセットビット A_{word_n} とが N ポートデコーダ 40 を介してデータメモリ 50 に転送され、キャッシュヒットの場合はデータメモリ 50 にストアされた 2^{mind} のキャッシュラインとプロセッサコアとの間で命令データ D_n の転送が行われる。データメモリのアドレスとして付け加えられたキャッシュラインオフセットビット A_{word_n} を用いることにより、1 データワード以上をもつキャッシュラインが実現できるという利点がある。

【0007】

衝突処理回路 60 では、 $N \cdot mind$ ビットのキャッシュラインインデックス A_{ind_n} の書き込み衝突を検知し、データバスにアクセス拒否信号を送出する。なお、図 8 に示すマルチポートキャッシュメモリでは、タグメモリ 20 とデータメモリ

50とを分けたものを例示したが、同一のメモリ上にタグメモリ20とデータメモリ50とを融合することも可能である。

【0008】

次に、図9を用いて、2ウェイセットアソシアティブ方式のマルチポートキャッシュメモリの例について簡単に説明する。2ウェイセットアソシアティブ方式のマルチポートキャッシュメモリは、ダイレクトマップ方式を拡張したものである。

【0009】

図9に示すマルチポートキャッシュメモリは、タグ側のNポートデコーダ10、10a及びタグメモリ20、20a及びキャッシュヒット判定回路30、30a及び判定結果のANDゲート70と、データメモリ側のNポートデコーダ40、40a及びデータメモリ50、50a及びデータイネーブル回路80、80aと、衝突処理回路60から構成される。ここで、タグメモリ20、20a及びデータメモリ50、50aは、それぞれ、マルチポートセルブロックから構成される。

【0010】

図9に示す2ウェイセットアソシアティブ方式のマルチポートキャッシュメモリは、キャッシュヒット判定回路30、30aの判定結果を受けてキャッシュヒット信号を送出するANDゲート70と、キャッシュヒット判定回路30、30aの判定結果を受けてデータバスへの命令データ D_n の転送を可能にするデータイネーブル回路80、80aが加えられたほかは、図1に示すダイレクトマップ方式のマルチポートキャッシュメモリと同様な機能を備えているので、同一部分に同一の記号と参照番号を付して詳細な説明を省略する。

【0011】

なお、キャッシュメモリへのアクセスにおけるタグA_{tag}、キャッシュラインインデックスA_{ind}、キャッシュラインオフセットビットA_{word}、バイトオフセットA_{byte}へのアドレスの割り当てを取りまとめて図10に示す。

【0012】

上記したマルチポートセルブロックを用いる従来のマルチポートキャッシュメ

モリは、実際にはあまり使用されてこなかった。その理由は次の通りである。

低いキャッシュミス確率を達成するにはマルチポートキャッシュメモリを大容量にすることが必要であるが、セルブロックを構成するマルチポートSRAMは面積がポート数の2乗に比例して増加するので、高性能のマイクロプロセッサへの使用に適するようにポート数を増やそうとすれば、マイクロプロセッサのチップ面積が大幅に増加し、面積効率が低下するという問題があった（Electronics Letters 35, 1441-1443, (1999)参照）。

【0013】

また、マルチポートキャッシュメモリが従来使用されてこなかった理由をさらに具体的に示せば次のように要約される。

(1) 従来の汎用マイクロプロセッサでは、キャッシュメモリとプロセッサコアとの間の命令セットの転送に必要なバンド幅が小さく、1ポートキャッシュで十分にその目的を達成することが可能であった。一方、高性能のマイクロプロセッサではバンド幅を2倍にすることが必要となるが、これに対処するため、高いキャッシュミス確率の発生を犠牲にして、命令セットを転送命令等の機能を示す部分と、演算の対象となるデータを示す部分とに分けた1ポートキャッシュが用いられてきた。

【0014】

(2) 先に述べたように、マルチポートセルブロックを構成要素とする従来のマルチポートキャッシュメモリではチップ面積が著しく大きくなる。従って、低いキャッシュミス確率を達成するに十分な大容量のマルチポートキャッシュメモリを用意することは極めて不経済となる。

【0015】

(3) マルチポートキャッシュメモリを形成するためには、多数のポートアドレスとデータを転送するための複雑な配線が必要である。従って、マルチポートキャッシュメモリのセルブロックを構成する大面積のマルチポートSRAMをプロセッサコアとは別チップ上に形成し、プリント基板上で混成集積化しようとするれば、複雑な配線形成のために工数が増加し不経済となる。

【0016】

配線の複雑性を回避するためには、マルチポートキャッシュメモリのセルブロックとプロセッサコアとは同一チップ上に混載することが望ましいが、このようにすればチップ面積の問題がさらに厳しくなる。

【 0 0 1 7 】

例えばインテル社のPentium II、IIIのように、最近のマイクロプロセッサではクロックサイクル毎に複数の命令を実行することが可能になっている。このため、大きなキャッシュアクセスバンド幅に対応できるようにポート数を増加し、かつ、チップ面積の小さいマルチポートキャッシュメモリを開発することが近年の緊急な課題になっていた。

【 0 0 1 8 】

【発明が解決しようとする課題】

上記したように、マルチポートSRAMセルブロックからなる従来のマルチポートキャッシュメモリは、面積がポート数の2乗に比例して増加するので、高性能のマイクロプロセッサへの使用に適するように、ポート数を増やそうとすれば、マイクロプロセッサのチップ面積が大幅に増加し、面積効率が低下するという問題があった。

【 0 0 1 9 】

本発明は上記の問題点を解決すべくなされたもので、将来の複数命令マイクロプロセッサへの使用に適した面積の小さいマルチポートキャッシュメモリを提供しようとするものである。具体的には、次の(1)、(2)の要求を同時に満たすマルチポートキャッシュメモリを提供することを目的とする。

【 0 0 2 0 】

(1) クロックサイクル毎にプロセッサによる複数の命令のフェッチと、複数のロード/ストア操作を支える高いランダムアクセスバンド幅を有するマルチポートキャッシュメモリを提供する。

【 0 0 2 1 】

(2) キャッシュミスが発生すれば、メインメモリへのアクセスに通常、10乃至20サイクルのキャッシュアクセスが必要となるので、低いキャッシュミス確率を実現するためにチップ面積の小さい大容量のマルチポートキャッシュメモリ

を提供する。

【 0 0 2 2 】

【課題を解決するための手段】

本発明のマルチポートキャッシュメモリは、同一クロック内に複数の命令を実行する最新のマイクロプロセッサに使用される1ポートセルブロックからなる大容量のマルチポートキャッシュメモリであって、高いランダムアクセスバンド幅と、複数ポートから並列にアクセスする機能とを備え、かつ面積が大幅に削減される利点を有することを特徴とする。

【 0 0 2 3 】

具体的には本発明のマルチポートキャッシュメモリは、M個の1ポートセルブロックからなる第1乃至第KのNポートタグメモリと（K及びMは1以上の整数、Nは1より大なる整数）、前記第1乃至第KのNポートタグメモリに入力するキャッシュラインインデックスをそれぞれデコードする第1乃至第Kのタグ側Nポートデコーダと、M個の1ポートセルブロックからなる第1乃至第KのNポートデータメモリと、前記第1乃至第KのNポートデータメモリに入力するキャッシュラインインデックス及びキャッシュラインオフセットビットをそれぞれデコードする第1乃至第Kのデータ側Nポートデコーダと、前記第1乃至第KのNポートタグメモリ及び前記第1乃至第KのNポートデータメモリにおける書き込み及び読み出し衝突を処理する衝突処理回路とを具備することを特徴とする。

【 0 0 2 4 】

好ましくは前記キャッシュラインインデックスは、前記M個の1ポートセルブロックのいずれか1つの内部を参照する第1のキャッシュラインインデックスと、前記M個の1ポートセルブロックのいずれか1つを選択する第2のキャッシュラインインデックスからなることを特徴とする。

【 0 0 2 5 】

また、好ましくは前記マルチポートキャッシュメモリは、前記第1乃至第KのNポートタグメモリに入力されるタグと前記第1乃至第KのNポートタグメモリから出力されるタグとをそれぞれ比較する第1乃至第Kの比較回路を具備し、前記第1乃至第Kの比較回路の出力をK入力のAND回路に入力することにより、

キャッシュヒット信号を送出することを特徴とする。

【0026】

さらに好ましくは、前記第1乃至第Kの比較回路の出力は、前記第1乃至第Kのデータメモリの書き込み及び読み出しデータの入出力を可能にする第1乃至第Kのイネーブル回路をそれぞれ制御することを特徴とする。

【0027】

また、本発明のNポートタグメモリは、M個の1ポートセルブロックと、前記M個の1ポートセルブロックにNポートのマルチポート機能を付与するグローバルスイッチング回路網と、前記グローバルスイッチング回路網に接続された衝突処理回路とを具備し、前記グローバルスイッチング回路網はバスシステム又は前記バスシステム内部における接続を制御するスイッチング回路からなり、少なくとも前記グローバルスイッチング回路網には前記M個の1ポートセルブロックのいずれか1つの内部を参照する第1のキャッシュラインインデックスと、前記M個の1ポートセルブロックのいずれか1つを選択する第2のキャッシュラインインデックスと、マイクロコンピュータコアから送出される読み出し及び書き込み命令と、前記衝突処理回路の出力とが入力されることを特徴とする。

【0028】

また、本発明のNポートデータメモリにおいて、少なくとも前記グローバルスイッチング回路網には、前記M個の1ポートセルブロックのいずれか1つの内部を参照する第1のキャッシュラインインデックスと、前記M個の1ポートセルブロックのいずれか1つを選択する第2のキャッシュラインインデックスと、キャッシュラインを1データワード以上とするキャッシュラインオフセットビットと、マイクロコンピュータコアから送出される読み出し及び書き込み命令と、前記衝突処理回路の出力とが入力され、前記マイクロコンピュータコアには前記グローバルスイッチング回路網から前記読み出し命令のデータが入力されることを特徴とする。

【0029】

また、本発明のNポートタグメモリは、M個の1ポートセルブロックと、1ポートセルブロックをNポートブロックに機能変換するポート変換回路と、前記ポ

ート変換回路を前記M個の1ポートセルフブロックにそれぞれ設けることにより機能変換されたM個のNポートブロックと、前記M個のNポートブロックが接続されたM個のNポートのアドレスデコード機能を備える回路網と、前記M個のNポートのアドレスデコード機能を備える回路網に接続された衝突処理回路とを具備し、少なくとも前記ポート変換回路には前記M個の1ポートセルフブロックのいずれか1つの内部を参照する第1のキャッシュラインインデックスと、マイクロコンピュータからの読み出し及び書き込み命令とが入力され、少なくとも前記M個のNポートのアドレスデコード機能を備える回路網には前記M個の1ポートセルフブロックのいずれか1つを選択する第2のキャッシュラインインデックスと、前記衝突処理回路の出力と、マイクロコンピュータからの読み出し及び書き込み命令とが入力されることを特徴とする。

【 0 0 3 0 】

また、本発明のNポートタグメモリにおいて、少なくとも前記変換回路には、前記M個の1ポートセルフブロックのいずれか1つの内部を参照する第1のキャッシュラインインデックスと、キャッシュラインを1データワード以上とするキャッシュラインオフセットビットと、マイクロコンピュータからの読み出し及び書き込み命令とが入力され、少なくとも前記M個のNポートのアドレスデコード機能を備える回路網には前記M個の1ポートセルフブロックのいずれか1つを選択する第2のキャッシュラインインデックスと、マイクロコンピュータコアからの読み出し及び書き込み命令と、前記マイクロコンピュータコアからの書き込み命令データと、前記衝突処理回路の出力とが入力され、前記マイクロコンピュータコアには前記M個のNポートのアドレスデコード機能を備える回路網からの前記読み出し命令のデータが入力されることを特徴とする。

【 0 0 3 1 】

好ましくは前記Nポートタグメモリ及びNポートデータメモリにおいて、前記1ポートセルフブロックの個数Mは、前記Nポートタグメモリ又は前記Nポートデータメモリのポート数Nより小なる場合が含まれることを特徴とする。

【 0 0 3 2 】

また、好ましくは前記Nポートタグメモリ及びNポートデータメモリは、互い

に結合されて単一のマルチポートキャッシュメモリをなし、タグに割り当てられるアドレスのビット数を m_{tag} 、キャッシュラインオフセットビットに割り当てられるアドレスのビット数を m_{word} 、命令データのワード長を W として、前記単一のマルチポートキャッシュメモリのワード長が $m_{tag} + W * 2^{m_{word}}$ にされることを特徴とする。

【0033】

また、前記 N ポートタグメモリ及び前記 N ポートデータメモリに含まれるセルブロックは、ポート数 L ($1 \leq L < N$ 、 L は整数)の L ポートセルブロックからなることを特徴とする。また、 L ポートセルブロックを N ポートブロックに機能変換するポート変換回路を具備することを特徴とする。

【0034】

また、前記タグメモリは、ポート数 L_{tag} (L_{tag} は1以上の整数)の L_{tag} ポートセルブロックからなる L_{tag} ポートタグメモリであり、かつ、前記データメモリは、ポート数 L_{data} (L_{data} は L_{tag} と異なる1以上の整数)の L_{data} ポートセルブロックからなる L_{data} ポートデータメモリであることを特徴とする。

【0035】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0036】

図1は、本発明の第1の実施の形態に係るダイレクトマップ方式のマルチポートキャッシュメモリの構成を示す図である。

【0037】

図1に示すマルチポートキャッシュメモリは、タグ側の例えば上位レベルの N ポートデコーダ1及びタグメモリ2及びキャッシュヒット判定回路3と、データ側の例えば上位レベルの N ポートデコーダ4及びデータメモリ5と、衝突処理回路6から構成される。

【0038】

本マルチポートキャッシュメモリの第1の特徴は、タグメモリ2及びデータメモリ5が、それぞれ1ポートセルブロックから構成されるため、マルチポートセ

ルブロックからなる従来のマルチポートキャッシュメモリに比べて、タグメモリ 2 及びデータメモリ 5 の面積がポート数の 2 乗に比例して増加するという問題を回避することができる。従って、高性能のマイクロプロセッサへの使用に適するようにポート数とメモリ容量を増加することが可能になる。

【 0 0 3 9 】

本マルチポートキャッシュメモリの第 2 の特徴は、従来 1 種であったキャッシュラインインデックス $Aind_n$ が、2 種のキャッシュラインインデックス $Aind1_n$ 及び $Aind2_n$ とに分けられることである。

キャッシュラインインデックス $Aind_n$ は、タグ $Atag_n$ と共に、命令実行の際キャッシュメモリの内部で同一タグやキャッシュラインを参照するのに用いられるのであるが、本マルチポートキャッシュメモリにおいては、キャッシュラインインデックス $Aind1_n$ がセルブロック内部で同一キャッシュラインや同一タグを見極めるのに用いられる間に、キャッシュラインインデックス $Aind2_n$ は同一キャッシュラインや同一タグが含まれるセルブロックを見極めるのに用いられる。

【 0 0 4 0 】

なお、タグ側及びデータ側の N ポートデコーダ 1 及び 4 において、“例えば上位レベル” とは、複数の 1 ポートセルブロックを N ポートに構成しデコードする N ポートデコーダを意味する。また衝突処理回路 6 において、キャッシュラインインデックス $Aind2_n$ のみが衝突処理に使われ、 $Aind1_n$ は衝突処理には使用されない。このことは、衝突を検知する衝突処理回路 6 の構成が簡単化されることを意味する。

【 0 0 4 1 】

本マルチポートキャッシュメモリの第 3 の特徴は、セルブロックが 1 ポート S R A M からなるため、書き込み衝突と同様に読み出し衝突も起こり得ることである。読み出し衝突は、マルチポートキャッシュメモリの複数のポートから、1 ポート S R A M からなる同一セルブロックに記憶されたキャッシュラインにアクセスする場合に生じる。

【 0 0 4 2 】

次に第 1 の実施の形態に係るマルチポートキャッシュメモリの動作について詳

細に説明する。1ポートセルブロックからなる本マルチポートキャッシュメモリの動作は、従来の1ポートキャッシュメモリ、又は先に説明したマルチポートセルブロックからなる従来のマルチポートキャッシュメモリとほぼ同様であるため、その動作上の相違点について述べる。

【0043】

本マルチポートキャッシュメモリと従来の1ポートキャッシュメモリとの動作上の主な相違は、本マルチポートキャッシュメモリでは、同一クロックサイクル内で全てのポートから並列に命令の読み出しと書き込みができることである。また、本マルチポートキャッシュメモリでは、従来のマルチポートキャッシュメモリと異なり、書き込み時に加えて読み出し時にもポート間の衝突が起きる可能性がありアクセス衝突発生の確率が高いことである。

【0044】

キャッシュヒット時における本マルチポートキャッシュメモリの動作は、読み出し時の衝突が発生した場合を除き、従来のマルチポートキャッシュメモリと同様である。読み出し時の衝突が発生すれば、衝突処理回路6により衝突したポートの内、1ポートのみがキャッシュメモリにアクセスできるよう選択され、他のポートのアクセスは拒否される。アクセスが拒否されたポートはアクセスを繰り返さなければならないので、これらのポートのアクセスは1クロックサイクルだけ遅れることになる。

【0045】

キャッシュヒット時におけるキャッシュメモリの書き込みは、従来のマルチポートキャッシュメモリと同様に、キャッシュメモリとメインメモリとのデータの一貫性を保つためライトスルー方式やライトバック方式を用いて行われる。

【0046】

キャッシュミスが発生した場合には、メインメモリからキャッシュライン（キャッシュブロックとも呼ぶ）をコピーしなければならない。上書きされるキャッシュラインを選択するために、例えば、もっとも長時間にわたり使用されなかったキャッシュラインを置き換えるLRU法が適用される。キャッシュラインをコピーする方法は従来のキャッシュメモリと同様である。

【 0 0 4 7 】

読み出し動作を除き、本マルチポートキャッシュメモリの動作は、全て従来のものと同様であるため、アクセス衝突発生時の読み出し動作についてさらに詳細に説明する。先に述べたように、読み出し時に複数のポートの間で衝突が発生すれば、これらの複数のポートの内、1ポートのみがキャッシュメモリにアクセスすることができるように衝突処理回路6により選択され、衝突が発生した他のポートのアクセスは拒否される。ここで読み出し時の衝突とは、複数のポートから同一の1ポートセルブロックにアクセスされることをいう。なお、衝突処理回路6では1回のアクセスでタグとデータが並列に処理される。

【 0 0 4 8 】

アクセスを拒否された他のポートのアクセス拒否信号は、プロセッサコアに転送される。アクセスを許可された1ポートへのアクセスでは、タグメモリ2から読み出されたタグが、該当するアドレスのタグ A_{tag_n} と比較され、これらが一致（キャッシュヒット）すれば、読み出し動作の場合、対応する命令データ D_n がデータメモリ5からプロセッサコア（図示せず）に転送される。

【 0 0 4 9 】

キャッシュミスの場合は、新規のキャッシュラインをメインメモリから取り込み、例えばLRU法を用いてデータメモリ5の旧キャッシュラインを置き換える。このとき、メインメモリから取り込まれた命令データ D_n は、プロセッサコアにも転送される。

【 0 0 5 0 】

なお、ダイレクトマップ方式のマルチポートキャッシュメモリのアクセスにおけるタグ A_{tag} 、第1のキャッシュラインインデックス A_{ind1} 、第2のキャッシュラインインデックス A_{ind2} 、キャッシュラインオフセット A_{word} 、バイトオフセット A_{byte} へのアドレス割り当てを取りまとめて図2に示す。

【 0 0 5 1 】

一般の場合のアドレス割り当てを図2（a）に示し、アドレス空間とワード長がそれぞれ32ビット、ポート数8、キャッシュライン当りワード数4のダイレクトマップ方式512Kビットマルチポートキャッシュメモリについて、従来の

マルチポートキャッシュメモリのアドレス割り当てと、本発明のマルチポートキャッシュメモリのアドレス割り当てとを比較して図 2 (b) に示す。

【 0 0 5 2 】

従来のマルチポートキャッシュメモリではキャッシュラインインデックスAindのアドレスは13ビットであるが、本発明のマルチポートキャッシュメモリでは、データメモリが4Kビットのセルブロック256個からなり、タグメモリが480ビットのセルブロック256個からなる場合、キャッシュラインインデックスアドレスは第1のキャッシュラインインデックスAind1 8ビットと第2のキャッシュラインインデックスAind2 5ビットに分かれている。

【 0 0 5 3 】

なお、図 1 に示すマルチポートキャッシュメモリでは、タグメモリ2とデータメモリ5とを分けたものを例示したが、同一のメモリ上にタグメモリ2とデータメモリ5とを融合することも可能である。

【 0 0 5 4 】

次に、図 3 を用いて第 2 の実施の形態に係る 2 ウエイセットアソシアティブ方式のマルチポートキャッシュメモリについて説明する。本 2 ウエイセットアソシアティブ方式のマルチポートキャッシュメモリの構成を図 3 に示す。

【 0 0 5 5 】

第 2 の実施の形態の 2 ウエイセットアソシアティブ方式のマルチポートキャッシュメモリは、第 1 の実施の形態で説明したダイレクトマップ方式のマルチポートキャッシュメモリの機能を拡張したものである。図 3 に示すマルチポートキャッシュメモリは、タグ側の N ポートデコーダ 1、1 a、タグメモリ 2、2 a、キャッシュヒット判定回路 3、3 a 及び判定結果の AND ゲート 7 と、データ側の N ポートデコーダ 4、4 a、データメモリ 5、5 a 及びデータイネーブル回路 8、8 a と、衝突処理回路 6 とから構成される。

【 0 0 5 6 】

図 3 に示す 2 ウエイセットアソシアティブ方式のマルチポートキャッシュメモリは、キャッシュヒット判定回路 3、3 a の判定結果を受けて、キャッシュヒット信号を送出する AND ゲート 7 と、キャッシュヒット判定回路 3、3 a の判定

結果を受けてデータバスへの命令データ D_n の転送を可能にするデータイネーブル回路 8、8 a が加えられるほかは、図 1 に示すダイレクトマップ方式のマルチポートキャッシュメモリと同様である。

【0057】

先に第 1 の実施の形態において、本発明のダイレクトマップ方式のマルチポートキャッシュメモリに係る第 1、第 2、第 3 の特徴を説明したが、第 2 の実施の形態の 2 ウエイセットアソシアティブマルチポートキャッシュメモリも同様の特徴を全て備えている。また、キャッシュメモリへのアクセスにおけるタグ A_{tag} 、第 1 のキャッシュラインインデックス A_{ind1} 、第 2 のキャッシュラインインデックス A_{ind2} 、キャッシュラインオフセットビット A_{word} 、バイトオフセット A_{byte} へのアドレスの割り当ても図 2 (a) に示すものと同様である。

【0058】

図 1 に示すダイレクトマップ方式と図 3 に示す 2 ウエイセットアソシアティブ方式との違いは、同一インデックスであるが、タグが異なるキャッシュラインの数が異なることである。また、このように、同一インデックスであるが、タグが異なるキャッシュラインは、同時にキャッシュメモリの中に存在することができる。そのキャッシュラインの数はダイレクトマップ方式では 1、2 ウエイセットアソシアティブ方式では 2、3 ウエイセットアソシアティブ方式では 3 となる。

【0059】

このように、図 3 に示す 2 ウエイセットアソシアティブ方式では、タグメモリ 2 とデータメモリ 5 を対として、その対数を 1 乃至 K (K は 1 以上の整数) まで拡張することができる ($K=1$ は図 1 に相当する)。また、このように複数対からなるセットアソシアティブ方式において、同一のメモリ上にタグメモリとデータメモリの対を融合することも可能である。

【0060】

次に図 4 を用いて第 3 の実施の形態について説明する。1 ポートセルフブロックからなるマルチポートキャッシュメモリのマルチポート機能は、第 1、第 2 の実施の形態で説明したものばかりでなく他の異なる回路を用いて実現することができる。

【 0 0 6 1 】

図 4 に示すマルチポート機能の構成図では、例えばメモリ容量 M1 の S R A M ブロック 1 乃至 M2 までの 1 ポートセルブロック 1 1 と、衝突処理回路（図示せず）と、マイクロプロセッサコア又はメインメモリ（図示せず）との間で入出力データを転送するバスシステム又はその接続を制御するクロスバースイッチ等からなるグローバルスイッチングネットワーク 1 2 が、マルチポート機能を実現するために用いられる。

【 0 0 6 2 】

このような構成を用いれば、例えばクロスバースイッチを用いて多量の配線網を効率的に選択制御することができるので、大容量でかつ複数ポートのマルチポートキャッシュメモリを容易に形成することができる。

【 0 0 6 3 】

なお、図 4 では複数の 1 ポートセルブロックからなるマルチポートデータメモリの構成要素とデータの種類の示しているが、キャッシュラインオフセットビット $Aword_n$ と、命令データ D_n とを削除すれば、マルチポートタグメモリの構成となる。また、グローバルスイッチングネットワーク 1 2 にキャッシュラインオフセットビット $Aword_n$ と、命令データ D_n とを制御する機能を付加すれば、図 4 に示す構成でタグメモリとデータメモリが一体化されたマルチポートキャッシュメモリを実現することも可能である。

【 0 0 6 4 】

次に図 5 を用いて第 4 の実施の形態について説明する。1 ポートセルブロックからなるマルチポートキャッシュメモリのマルチポート機能は、図 5 に示すような構成を用いて実現することができる。

【 0 0 6 5 】

図 5 に示すマルチポート機能の構成図では、例えば S R A M からなるブロック 1 乃至ブロック M1 のメモリ容量 M2 の 1 ポートセルブロック 1 3 と、全ての 1 ポートセルブロック 1 3 に設けられた 1 ポートと N ポートとの変換回路 1 4 と、アドレスデコードされた第 2 レベルのポートとメモリ間接続 1 5 と、衝突処理回路（図示せず）から構成される。

【 0 0 6 6 】

図 5 に示すマルチポート機能の構成図では、変換回路 1 4 を用いて第 1 レベルの 1 ポートと N ポートとの変換が行われ、複数の N ポートのアドレスデコード機能を備える回路網を用いて、N ポートに変換されたブロックの第 2 レベルのポートとメモリ間接続 1 5 が行われる。このような階層構造型マルチポート構成はメモリブロック数とポート数を容易に拡張することが可能な規則性を備えているので、モジュール化に適し実用上好適である。

【 0 0 6 7 】

なお、先に述べた第 3 の実施の形態と同様に、図 5 では複数の 1 ポートセルブロックからなるマルチポートデータメモリの構成要素とデータの種類を示しているが、キャッシュラインオフセットビット $Aword_n$ と、命令データ D_n とを削除すれば、マルチポートタグメモリの構成となる。また、第 2 レベルのポートとメモリ間接続 1 5 に、キャッシュラインオフセットビット $Aword_n$ と、命令データ D_n とを制御する機能を付加すれば、図 5 に示す構成でタグメモリとデータメモリが一体化されたマルチポートキャッシュメモリを実現することも可能である。

【 0 0 6 8 】

次に図 6、図 7 を用いて本発明の第 5 の実施の形態について説明する。第 5 の実施の形態では、本発明のマルチポートキャッシュメモリの面積削減効果と、キャッシュミスをも最小にする最適設計に関するシミュレーションと実際の設計データとの比較、及び従来のマルチポートキャッシュメモリとの比較について説明する。

【 0 0 6 9 】

図 6 は、本発明のマルチポートキャッシュメモリを構成するデータメモリ部、及びタグメモリ部の面積削減率をセルブロックレベルのメモリ容量 M_1 の関数としてプロットしたものである。曲線はシミュレーション、黒丸及び黒角は実際の設計データである。なお、2 重の直線はこれらの数値が従来のマルチポートキャッシュメモリの数値で基準化されたことを示す。ポート数が 4、8、16、32 に対して、それぞれ $< 1/2$ 、 $< 1/5$ 、 $< 1/14$ 、 $< 1/30$ の面積削減率が期待される。

【 0 0 7 0 】

図 7 は、ダイレクトマップ方式を用いた 3 2 ビット×1 6 K ワード構成の、容量 5 1 2 K ビット、8 ポートの本発明のキャッシュメモリについて、アクセス拒否確率と面積削減率とのトレードオフ関係を示したものである。アクセス拒否確率とキャッシュミス確率を同等にする時、本発明の 8 ポートキャッシュメモリの例では、従来の 8 ポートキャッシュメモリに比べて 1 / 3 乃至 1 / 4 の面積縮小率が得られる。

【 0 0 7 1 】

なお本発明は上記の実施の形態に限定されることはない。例えば本発明のマルチポートキャッシュメモリは、小容量の 1 次キャッシュ (L 1 キャッシュ)、大容量の 2 次キャッシュ (L 2 キャッシュ) のようなキャッシュメモリの階層化にも適応することができる (Electronics Letters 35, 1441-1443 (1999) 参照)。特に L 1 キャッシュでは、通常ローカルキャッシュミスの確率は非常に高い (約 2 0 % ~ 4 0 %)。このように高いキャッシュミス確率に対して、本発明のマルチポート L 2 キャッシュは高いアクセス拒否率が許容され、かつ面積削減という利点が最大限に発揮されるためさらに望ましい。

【 0 0 7 2 】

また、本発明のマルチポートキャッシュメモリにおいて、タグメモリとデータメモリは 2 つの異なるメモリとして図示してきたが、タグメモリとデータメモリとを結合してワード長が $m_{tag} + W * 2^{m_{word}}$ の単一メモリとすることができる。このようにすれば、 $m_{word} = 0$ の場合、すなわち、キャッシュラインが単一のワードのみを含む場合に有用となる。

【 0 0 7 3 】

また、本発明の N ポートキャッシュメモリにおいて、タグメモリ及びデータメモリに含まれるセルブロックは、1 ポートセルからなるものとして説明したが、必ずしも 1 ポートセルに限定されるものではない。これらのセルブロックを例えば 2 ポート、3 ポートのよう L ポート ($1 \leq L < N$ 、L は整数) として、タグメモリ及びデータメモリを構成することができる。

【 0 0 7 4 】

このようにすれば、1ポートに比べて衝突確率を低減する利点がある一方で、多少のチップ面積の増加を招くことになる。このとき、1ポートからNポートへの変換回路の代わりにLポートからNポートへの変換回路が必要になる。

【0075】

さらに、本発明のキャッシュメモリにおいて、タグメモリとデータメモリとを異なるポート数のセルブロックを用いて構成することも可能である。すなわち、 L_{tag} ポート (L_{tag} は1以上の整数)のセルブロックを用いてタグメモリを構成し、 L_{data} ポート (L_{data} は L_{tag} と異なる1以上の整数)のセルブロックを用いてデータメモリを構成することができる。このようにすれば、特殊用途に有用な場合がある。

【0076】

また、例えばデータメモリ部を本発明に従って1ポートセルブロックを用いて形成し、タグメモリ部は従来のマルチポートセルブロックを用いて形成する混合型のマルチポートキャッシュメモリを提供することも可能である。

【0077】

以上説明した各実施の形態では、マルチポートタグメモリ及びマルチポートデータメモリを構成する1ポートセルブロックの数がポート数に比べて多い場合を主として説明したが、これらのブロック数は必ずしもポート数よりも多い場合に限定されない。逆にブロック数がポート数より少なくても多くの有用な効果が期待される。その他本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0078】

【発明の効果】

上述したように1ポートメモリセルブロックからなる本発明のマルチポートキャッシュメモリによれば、特に1クロックサイクル中に複数の命令を実行する最先端のマイクロプロセッサに対して次の2つの利点を有する。

【0079】

(1) アクセスバンド幅を拡大することにより、マイクロプロセッサの性能を最大限に発揮することができる。アクセスバンド幅の拡大は、プロセッサコアが1

クロックサイクル中に複数の命令フェッチ、データロード、及びデータストアを実行するために不可欠な事項である。

【0080】

(2) 1つ又はそれ以上のポートでメインメモリから新規のキャッシュラインを挿入している間、プロセッサコアは残りのポートでプログラムを実行し続けることができる。このことから、ヒット・アンダー・ミス、ミス・アンダー・ミス、又はライトバック方式を用いることにより、キャッシュミスペナルティを減少させることができる。また、キャッシュラインをプリフェッチしておくことにより、キャッシュミスを回避することができる。

本発明の1ポートSRAMセルブロックからなるマルチポートキャッシュメモリを用いれば、従来のマルチポートキャッシュメモリを用いる場合に比べて面積を大幅に削減することができる。

【0081】

本発明のマルチポートキャッシュメモリの欠点は、アクセス拒否確率が大いことである。しかし、アクセス拒否によるペナルティは、僅か1クロックサイクルの待ち時間を要するのみであるが、キャッシュミスによるペナルティは10乃至20クロックサイクルに達する。

【0082】

従って、アクセス拒否率は、キャッシュミス確率よりも適度に大きな値となることが許される。このため、アクセス拒否率とキャッシュミス確率とのトレードオフを明確にすることにより、本発明のマルチポートキャッシュメモリの設計を最適化することができる。このように最適化された本発明のマルチポートキャッシュメモリを用いれば、従来のマルチポートキャッシュメモリを用いる場合に比べて、ごく僅かな性能低下を代償として莫大な面積の削減効果を得ることが可能になる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係るダイレクトマップ方式のマルチポートキャッ

シユメモリの構成を示すブロック図。

【図 2】

本発明のマルチポートキャッシュメモリにおけるタグ、キャッシュラインインデックス、キャッシュラインオフセットビットのアドレス割り当てを示す図であって、

(a) は、一般の場合を示す図。

(b) は、512Kビット、8ポート、ダイレクトマップ方式の場合を示す図。

【図 3】

本発明の第2の実施の形態に係る2ウェイセットアソシアティブ方式マルチポートキャッシュメモリの構成を示すブロック図。

【図 4】

本発明の第3の実施の形態に係るスイッチングネットワーク方式マルチポートキャッシュメモリの構成を示すブロック図。

【図 5】

本発明の第4の実施の形態に係る階層構造型マルチポートキャッシュメモリの構成を示すブロック図。

【図 6】

本発明の第5の実施の形態に係るポート数をパラメータとするメモリセルブロックの容量と面積削減率との関係を示す図。

【図 7】

本発明の第5の実施の形態に係るダイレクトマップ方式の8ポートキャッシュメモリにおけるブロック数とアクセス拒否率と面積削減率のトレードオフ関係を示す図。

【図 8】

従来のダイレクトマップ方式のマルチポートキャッシュメモリの構成を示すブロック図。

【図 9】

従来の2ウェイセットアソシアティブ方式のマルチポートキャッシュメモリの構成を示すブロック図。

【図 1 0】

従来のマルチポートキャッシュメモリにおけるタグ、キャッシュラインインデックス、キャッシュラインオフセットビットのアドレス割り当てを示す図。

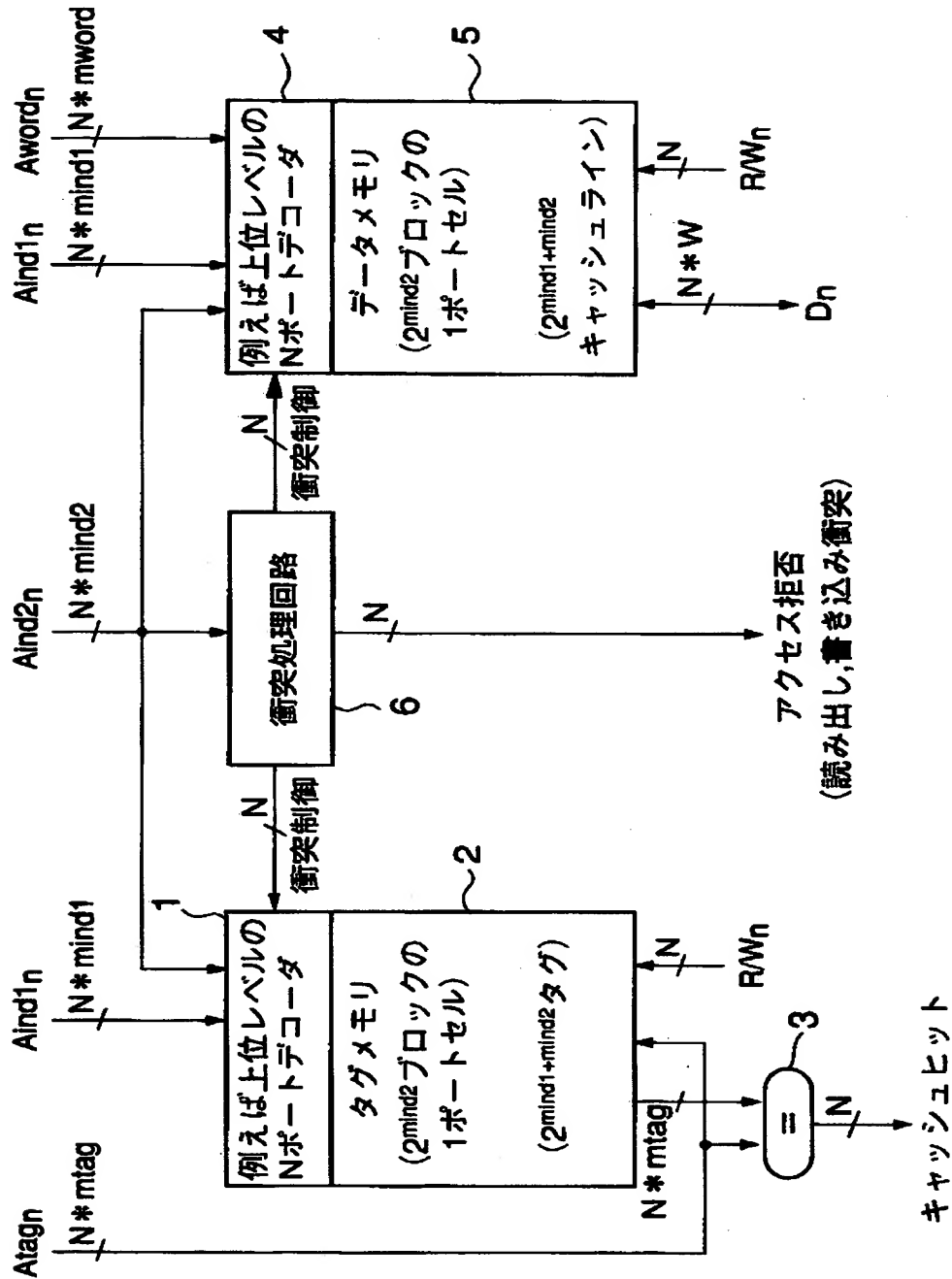
【符号の説明】

- 1、1 a、4、4 a…上位レベルNポートデコーダ
- 2、2 a…タグメモリ
- 3、3 a…キャッシュヒット判定回路
- 5、5 a…データメモリ
- 6…衝突処理回路
- 7…AND回路
- 8、8 a…データエネーブル回路
- 1 0、1 0 a、4 0、4 0 a…Nポートデコーダ
- 1 1、1 3…1ポートセルブロック
- 1 2…スイッチングネットワークを用いたポートとメモリブロックの接続回路
- 1 4…1-Nポート変換回路
- 1 5…アドレスデコードされた第2レベルのポートとメモリブロックの接続回路
- 2 0、2 0 a…タグメモリ
- 3 0、3 0 a…キャッシュヒット判定回路
- 5 0、5 0 a…データメモリ
- 7 0…ANDゲート
- 8 0、8 0 a…データエネーブル回路

【書類名】

図面

【図 1】



【図 2】

(a) 一般

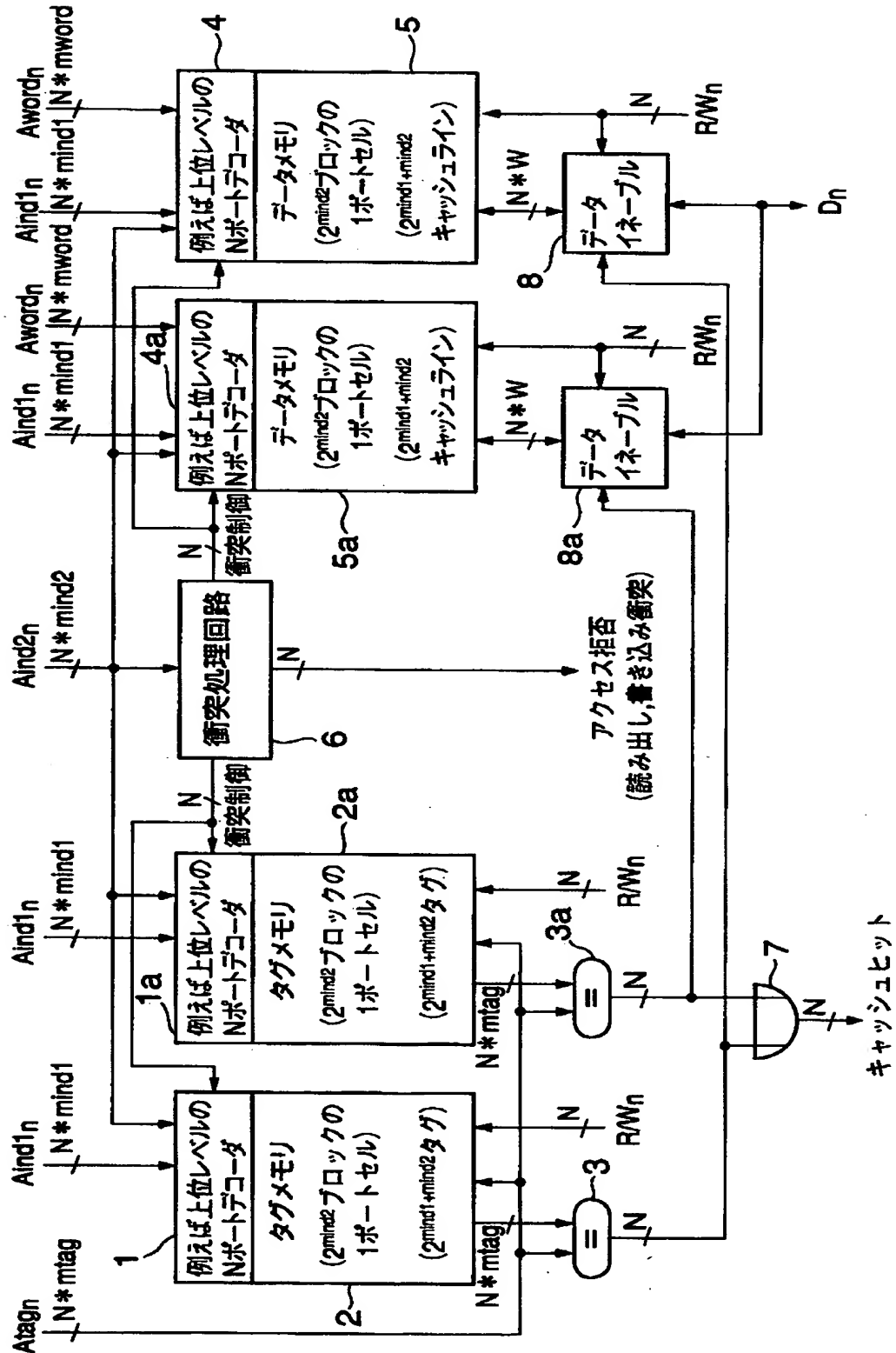
Atag (ntagビット)	Aind2 (mind2ビット)	Aind1 (mind1ビット)	Aword (mwordビット)	Abyte (mbyteビット)
-------------------	---------------------	---------------------	---------------------	---------------------

(b) ダイレクトマップ方式の512Kビット,8ポートキャッシュメモリ

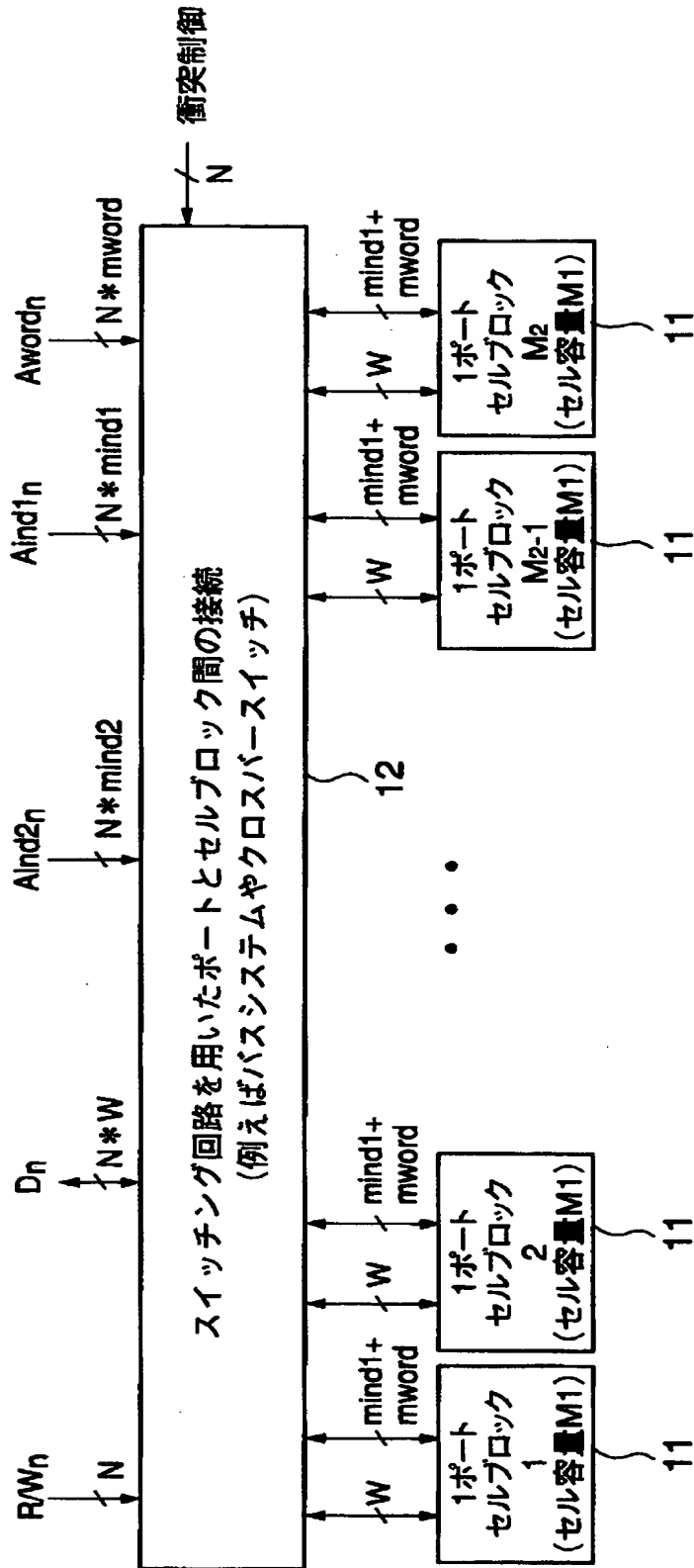
	Atag (ビット)	Aind2 (ビット)	Aind1 (ビット)	Aword (ビット)	Abyte (ビット)
従来の マルチポート キャッシュメモリ	15	13		2	2
本発明の マルチポート キャッシュメモリ	15	8 (4Kビットセルブロック の256個のデータメモリ) (480ビットセルブロック の256個のタグメモリ)	5	2	2

(4ワード/ライン,アドレス空間32ビット,ワード長32ビット)

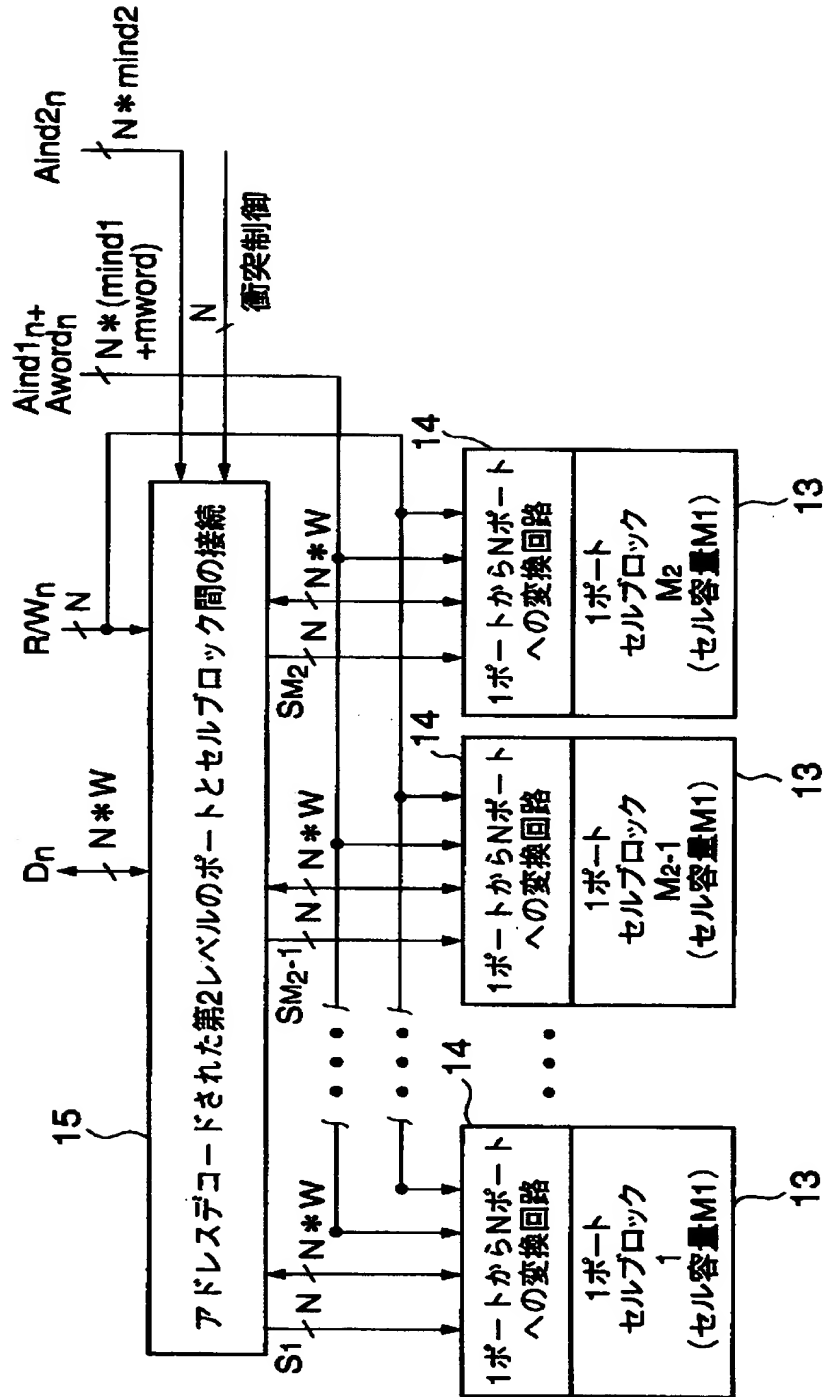
【図3】



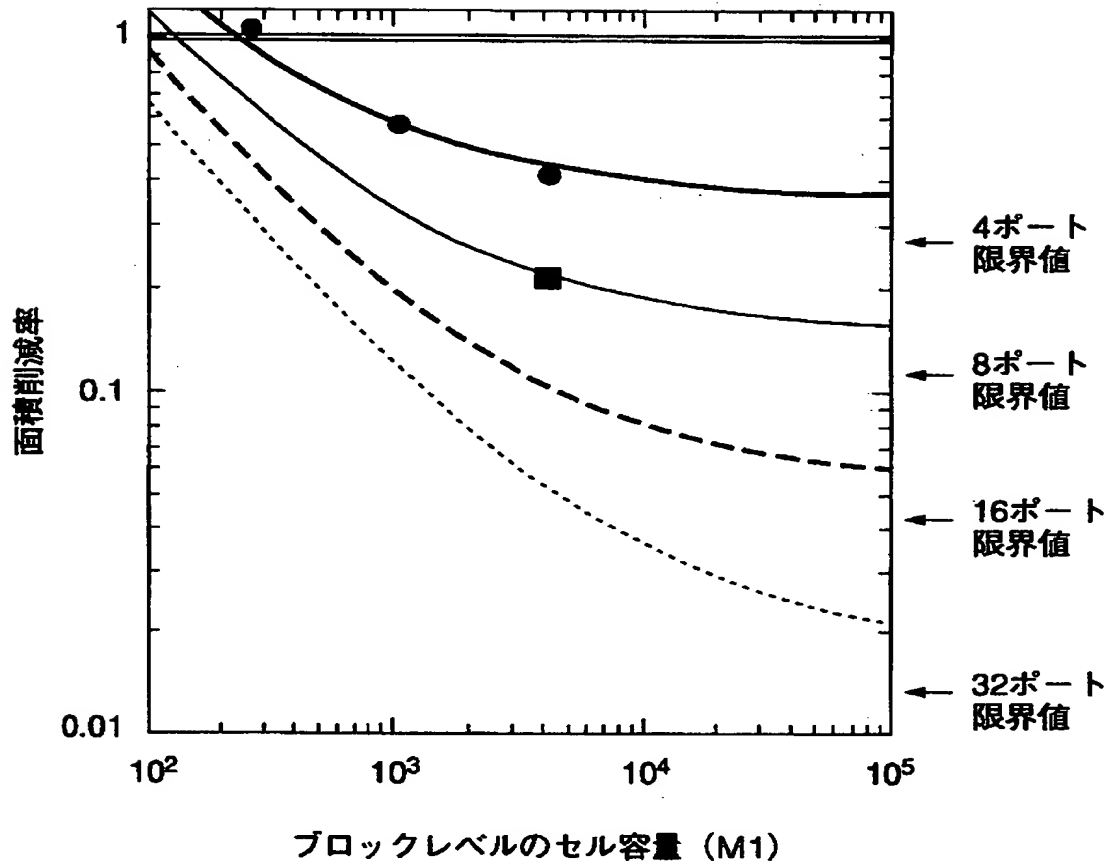
【図 4】



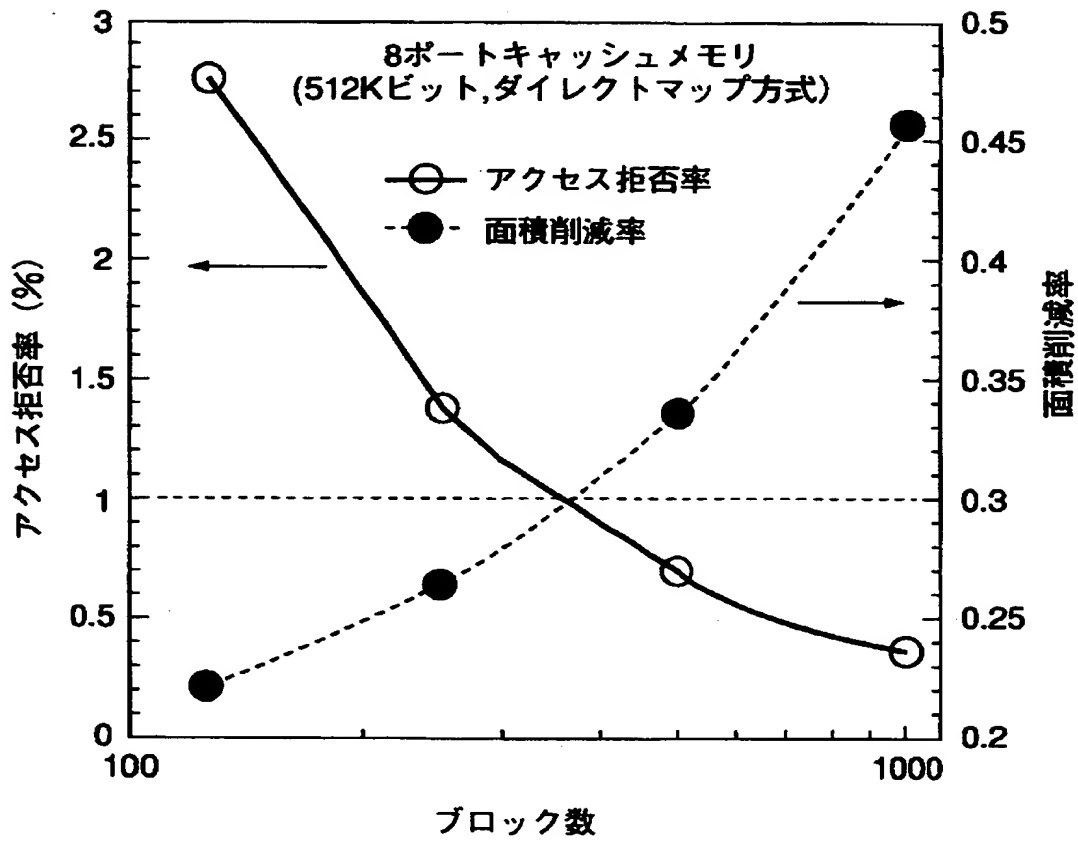
【図 5】



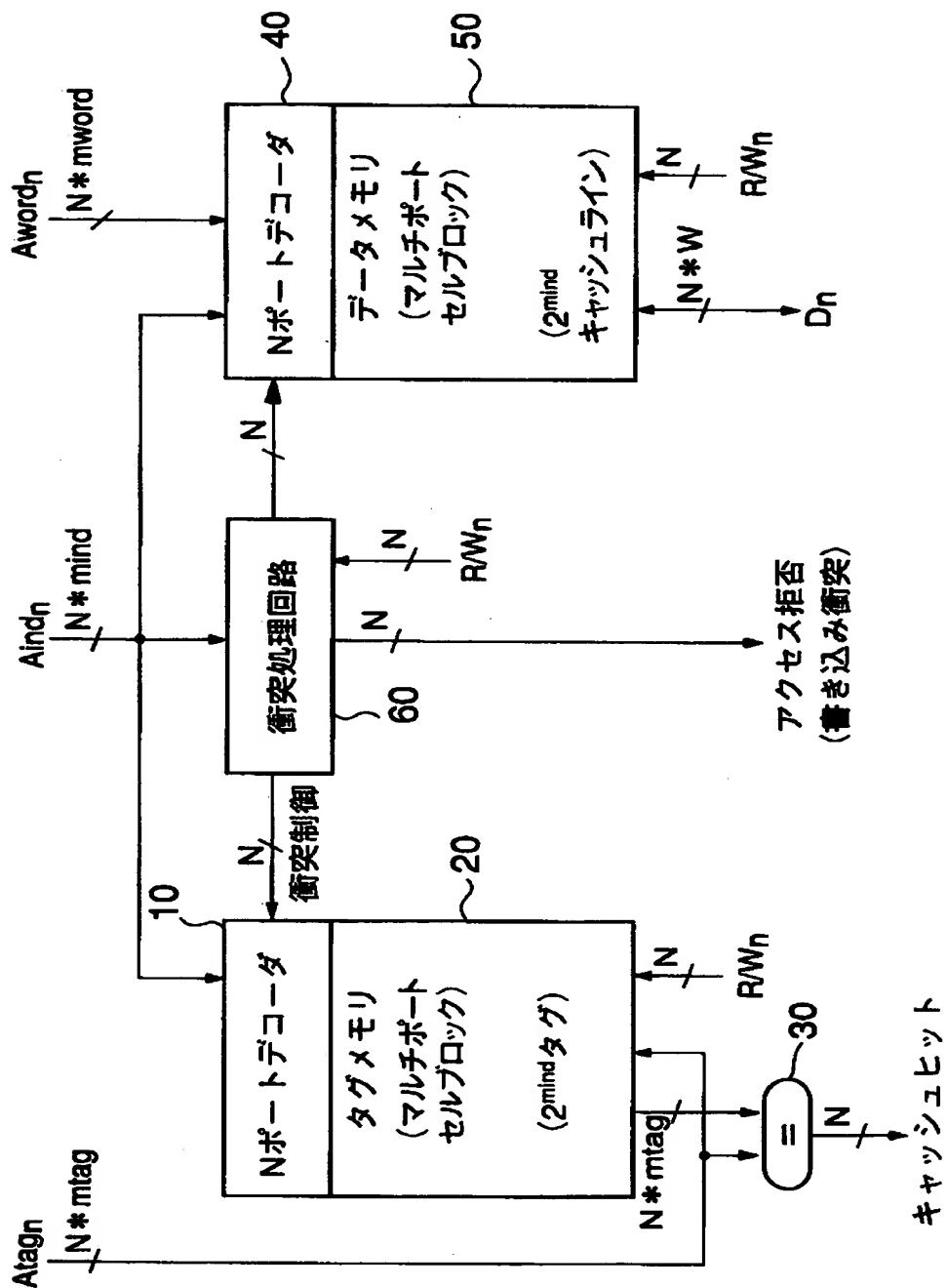
【図 6】



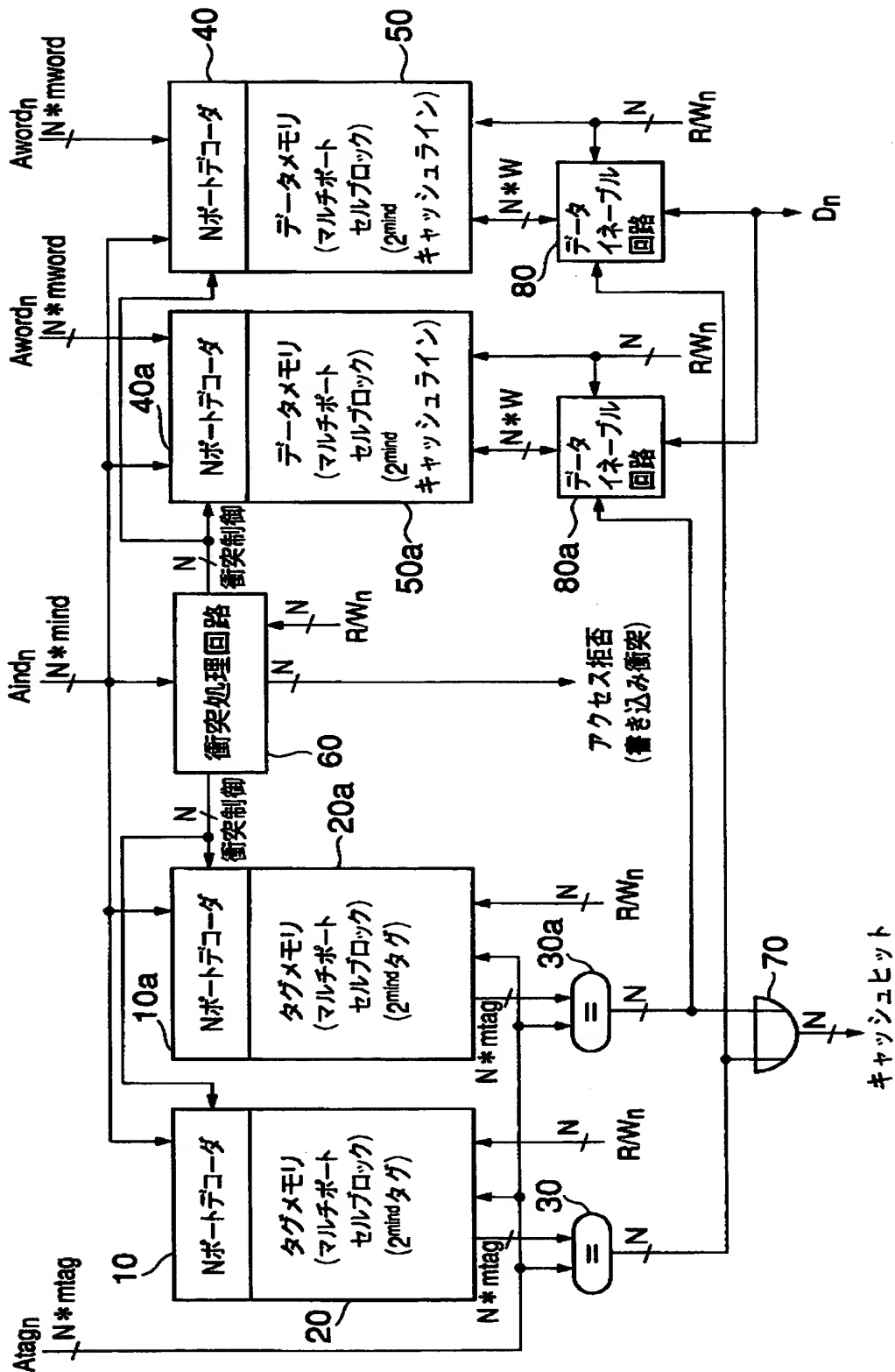
【図 7】



【図 8】



【図 9】



【図 1 0】

Atag (mtagビット)	Aind (mindビット)	Aword (mwordビット)	Abyte (mbyteビット)
-------------------	-------------------	---------------------	---------------------

【書類名】 要約書

【要約】

【課題】従来に比べて面積が大幅に削減された大容量のマルチポートキャッシュメモリを提供する。

【解決手段】従来のマルチポートキャッシュメモリはマルチポートセルブロックを用いて構成されるので高速性には優れているが、構成要素となるセルブロックの面積がポート数の2乗に比例して増大するため、大容量化してキャッシュミス低減しようとするればチップサイズが増大し、コストアップの原因となっていた。本発明のマルチポートキャッシュメモリは、大容量化に適した1ポートセルブロックを構成要素として形成されるため、高いランダムアクセスバンド幅を有し、複数のポートからの並列アクセスが可能で、かつ、キャッシュミスの確率が小さい最先端のマイクロプロセッサへの使用に適した大容量のマルチポートキャッシュメモリを容易に提供することが可能になる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [391012648]

1. 変更年月日	1997年 5月14日
[変更理由]	住所変更
住 所	広島県東広島市鏡山1丁目3番2号
氏 名	広島大学長